

ANÁLISE DE DUAS ESTRATÉGIAS PARA AVALIAR A DEGRADAÇÃO CAUSADA PELO EFEITO BTI NO ATRASO DE PORTAS LÓGICAS CMOS

Samuel P. Toledo

Acadêmico do curso de Engenharia de Computação – FURG

samucapresa@gmail.com

Msc. Cristina Meinhardt, Dr. Paulo F. Butzen

Professores/Pesquisadores do Centro de Ciências Computacionais – FURG

{cristinameinhardt, paulobutzen}@furg.br

Resumo. *Os efeitos de envelhecimento estão se tornando uma preocupação crescente em projetos de circuitos integrados. O BTI (Bias Temperature Instability) é um dos mecanismos de envelhecimento e causa a degradação da tensão de ‘threshold’ (V_{th}) do transistor e conseqüentemente uma perda no desempenho do sistema. Este artigo apresenta uma comparação entre duas abordagens utilizadas para calcular a degradação de V_{th} devido ao efeito BTI. O objetivo é verificar a diferença final no atraso de portas lógicas CMOS. Os resultados mostram que existe uma grande diferença entre as duas abordagens quando comparado o tempo que os transistores estão em condições de degradação. Contudo, devido ao comportamento do BTI, esta grande diferença é reduzida quando comparada a degradação do V_{th} e do desempenho das portas lógicas.*

Palavras-chave: CMOS, Logic Gates, BTI.

1. INTRODUÇÃO

A tecnologia CMOS está sobre constante miniaturização durante as últimas décadas. Essa redução nas dimensões dos transistores permitiu o aumento no desempenho dos circuitos integrados (CI). Por outro lado, muitos aspectos até então ignorados, passaram a ser relevantes no projeto de CIs. Um desses aspectos é

chamado de efeitos de envelhecimento (BORKAR et al., 2004). Os mecanismos de envelhecimento são um problema para garantir a confiabilidade do sistema durante toda a sua vida útil. Entre os vários mecanismos de envelhecimento, o BTI está recebendo atenção devido à sua severidade em tecnologias nanométricas (PAUL et al., 2006).

O efeito BTI atua nos transistores CMOS quando eles estão em condição estática. O efeito também é dividido em duas fases: estresse e recuperação. Essas duas fases são bem modeladas em modelos de curta duração (GRASSER et al., 2011). Em análises que consideram longos períodos de tempo, o custo computacional dos modelos de curta duração os torna uma alternativa impraticável. Modelos de longo prazo são desenvolvidos para reduzir a complexidade computacional (PAUL et al., 2006; BUTZEN et al., 2010). Esses modelos exploram probabilidade dos sinais para computar a fase de estresse e recuperação associados ao efeito BTI.

Dois abordagens são usadas para lidar com a análise em longo prazo. A primeira considera apenas a probabilidade do sinal do terminal porta do transistor (SP – *Signal Probability*) (PAUL et al., 2006). A segunda explora a condição de estresse considerando os outros terminais do transistor. Para isso, o são considerados o arranjo de transistores juntamente com a probabilidade de sinal no

terminal porta. Esta abordagem fornece a probabilidade de estresse do transistor (TSP – *Transistor Stress Probability*) (BUTZEN et al, 2010). Intuitivamente esta opção tende a representar mais fielmente as condições reais de degradação, a um maior custo computacional. No entanto, nenhuma análise da diferença na degradação do atraso de portas lógicas fornecida pelas duas soluções foi apresentada na literatura. Este trabalho avalia esta diferença na degradação do atraso quando as abordagens SP e TSP são aplicadas para calcular a degradação do atraso ocasionado pelo BTI em portas lógicas CMOS.

2. PRELIMINARES

O efeito BTI é um fenômeno de degradação investigado desde a final da década de 60. Embora as causas exatas da degradação não sejam bem conhecidas ainda, hoje em dia é geralmente admitido que uma polarização constante da tensão da porta e temperaturas elevadas fazem com que surjam defeitos na interface óxido-substrato do transistor (GRASSER et al., 2011). Essa situação é usualmente chamada de fase de estresse. Quando essa tensão de polarização é removida, alguns defeitos são recuperados, reduzindo a degradação do dispositivo. Esse caso é conhecido como fase de recuperação.

Esse efeito era usualmente associado aos dispositivos PMOS (*negative bias temperature instability* – NBTI). Devido a utilização de um óxido *high-k* nas tecnologias mais novas, o efeito PBTI (*positive bias temperature instability*) nos dispositivos NMOS também está se tornando uma importante preocupação (GRASSER et al, 2011). O efeito aumenta a V_{th} do transistor, reduzindo a velocidade do circuito (BORKAR et al., 2004).

Uma das abordagens para calcular degradação em longo prazo da V_{th} do transistor considera a probabilidade de sinal que chega ao terminal porta do transistor. Para uma tecnologia específica e dado um conjunto de condições ambientais, a

variação $\Delta V_{th_BTI_SP}$ pode ser expressa pela seguinte equação (WANG et al., 2007):

$$\Delta V_{th_BTI_SP} = a \cdot (SP \cdot t)^n \quad (1)$$

onde a é uma constante dependente da tecnologia e temperatura, t é o tempo, e n é a constante de tempo do efeito BTI. SP é a probabilidade de sinal no terminal porta do transistor. Para os transistores PMOS, a probabilidade do sinal é considerada quando a tensão for '0', enquanto para o transistor NMOS é quando a tensão for V_{dd} .

Na abordagem TSP, a degradação é calculada considerando probabilidade do sinal de porta do transistor em conjunto com o arranjo de transistores. Desta forma, se obtém a probabilidade dos sinais em todos os terminais do transistor. A razão para esta extensão é o fato da degradação do BTI estar associada ao elevado campo elétrico através do óxido do transistor. O campo elétrico máximo ocorre quando a tensão *gate-source* é $V_{gs} = -V_{dd}$ e $V_{gs} = V_{dd}$, para transistores PMOS e NMOS, respectivamente. Para uma tecnologia específica e dado um conjunto de condições ambientais, a $\Delta V_{th_BTI_TSP}$ pode ser expressa pela seguinte equação, como uma função da probabilidade de estresse do transistor (TSP) (BUTZEN et al., 2010):

$$\Delta V_{th_BTI_TSP} = a \cdot (TSP \cdot t)^n \quad (2)$$

onde TSP é a probabilidade do transistor PMOS estar polarizado negativamente e do NMOS estar positivamente polarizado. Esta é uma função do sinal de probabilidade do sinal de entrada e a posição do transistor no arranjo (BUTZEN et al., 2010).

3. EXEMPLOS DE SP VERSUS TSP

O arranjo dos transistores de uma porta lógica tem impacto na área, consumo de energia e desempenho da mesma. Esta seção ilustra a influencia da rede de transistores na degradação causada pelo BTI. A porta lógica AOI21, ilustrada na Fig. 1, é usada para exemplificar essa influência e também as diferenças entre as análises SP e TSP.

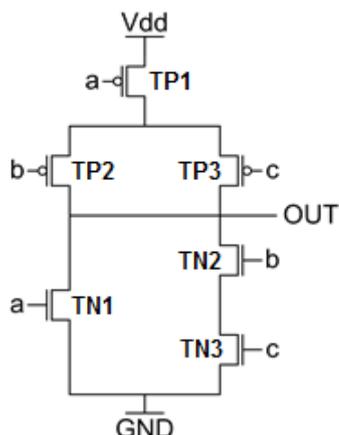


Figura 1. Porta AOI21 com a descrição dos transistores.

A análise denominada SP considera somente a probabilidade de sinal no terminal porta do transistor. A abordagem TSP explora a polarização de todos os terminais dos transistores, associando a probabilidade de sinal no terminal porta ao arranjo de transistores, fornecendo a probabilidade de estresse do transistor. A diferença em ambas abordagens é o tempo em que o dispositivo está sob condição de estresse.

A Tabela 1 ilustra a probabilidade dos transistores da Fig. 1 estarem sobre estresse de acordo com os valores calculados pelas abordagens anteriores: SP e TSP. Os valores são calculados considerando probabilidade igual a 0.5 para todos os sinais de entrada (sinais no terminal porta do transistor). Como a análise SP considera apenas a probabilidade do sinal no terminal porta do transistor, todos os dispositivos têm a mesma probabilidade de degradação. Por outro lado, a análise TSP considera o estado estático de todos os terminais do transistor para caracterizar a condição de estresse. Este estado é obtido a partir da probabilidade do sinal no terminal porta do transistor e do arranjo de transistores (BUTZEN et al., 2010). As diferenças na degradação TSP é verificada em transistores que não estão conectados a V_{dd} ou GND. Em outras palavras, a diferença é observada em arranjo de transistores em série. No exemplo da porta AOI21, os transistores TN2, TP2 e TP3 estão menos tempo sobre degradação quando ambas abordagens são comparadas.

Tabela 1. Análise da probabilidade de sinal em relação as abordagens SP e TSP.

Transistor	(SP)	(TSP)
TP1	0.5	0.5
TP2	0.5	0.25
TP3	0.5	0.25
TN1	0.5	0.5
TN2	0.5	0.375
TN3	0.5	0.5

4. METODOLOGIA

A metodologia utilizada para comparar ambas soluções apresentadas anteriormente consiste em calcular as probabilidades SP e TSP em um conjunto de portas lógicas ilustradas na Figura 2. Esses valores SP e TSP são usados em nas Eqs. (1) e (2) para obter a variação da V_{th} de cada transistor. Esses valores são aplicados no parâmetro V_{th0} do modelo do transistor. Simulações elétricas são realizadas para obter o atraso das portas lógicas. As portas lógicas são descritas na forma de *netlist* spice. O modelo do transistor utilizado é de uma tecnologia preditiva de 32nm (CAO et al., 2000). Cada uma destas portas lógicas possuem três versões. A primeira é chamada de “fresh” consiste na versão original de cada porta lógica. A segunda chamada de “sp” consiste na versão com os dispositivos degradados de acordo com a solução SP. A terceira é a “tsp” e é uma descrição com o transistor degradado de acordo com a abordagem TSP. As simulações elétricas para obtenção do atraso em cada uma dessas versões são realizadas com auxílio de uma ferramenta de caracterização elétrica.

5. ANÁLISE DOS RESULTADOS

A partir dos dados obtidos, destacam-se três aspectos apresentados a seguir. O primeiro aspecto é em relação à variação percentual da probabilidade de degradação dos dispositivos avaliados. Nessa análise, as portas que são constituídas por transistores em série foram as que atingiram maior diferença. Como exemplo pode-se citar as

portas NAND3 e AOI21, alcançando uma diferença média de até 20% da análise TSP sobre a SP.

O segundo aspecto explora a média percentual da variação da V_{th} . Estes valores não apresentaram uma diferença tão significativa entre as duas abordagens. Esse resultado é explicado pelo comportamento do modelo que descreve o efeito BTI.

A terceira análise é em relação à variação percentual do atraso gerado nas portas lógicas. Como esperado, a degradação do atraso das portas lógicas segue o comportamento identificado na análise da variação da V_{th} , apresentando uma diferença média de até 7,3%.

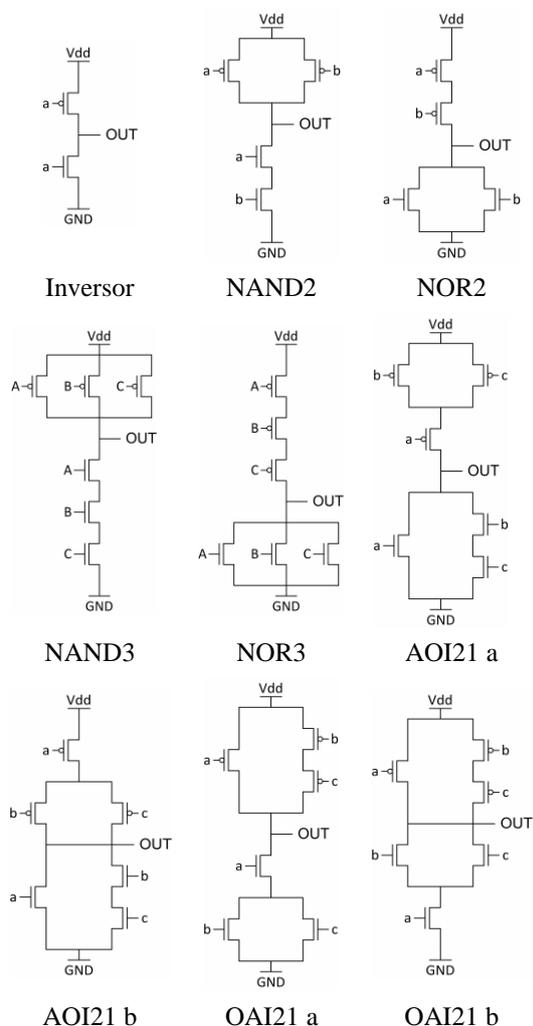


Figura 2. Portas lógicas CMOS usadas para comparar as duas soluções usadas na degradação dos dispositivos.

6. CONCLUSÕES

Este trabalho apresentou uma análise de dois métodos que são usados para calcular a degradação dos transistores devido ao efeito de envelhecimento BTI. A análise mostrou que a diferença no tempo de degradação sobre dispositivos podem atingir valores significativos. Contudo, esta diferença não é refletida na variação da V_{th} e na degradação do atraso das portas lógicas. Este comportamento é consequência do comportamento do efeito BTI.

7. AGRADECIMENTOS

Este projeto recebe apoio financeiro do programa PIBITI/FURG.

8. REFERÊNCIAS

- BORKAR, S. Design and Reliability Challenges in Nanometer Technologies, 41st Design Automation Conference, EUA, 2004.
- BUTZEN, P. F. Transistor Network Restructuring against NBTI Degradation, *Microelectronics Reliability* 50 (2010), pp. 1298 – 1303
- CAO, Y. New paradigm of predictive MOSFET and interconnect modeling for early circuit simulation, Custom Integrated Circuits Conference, EUA, 2000.
- GRASSER, T. The Paradigm Shift in Understanding the Bias Temperature Instability: From Reaction–Diffusion to Switching Oxide Traps, *IEEE Trans. on Electron Devices*, vol.58, no.11, pp.3652 - 3666, Nov. 2011.
- PAUL, B.C. Temporal performance degradation under NBTI: estimation and design for improved reliability of nanoscale circuits, *Design, Automation & Test in Europe*, Alemanha, 2006.
- WANG, W. An efficient method to identify critical gates under circuit aging, *International Conference on Computer-Aided Design*, EUA, 2007.