OTIMIZAÇÃO DE ÁREA E POTÊNCIA PARA UMA ARQUITETURA DCT UTILIZANDO O MÉTODO CMM

Eduardo Yoshimoto
Acadêmico do curso de Engenharia de Telecomunicações, Universidade Federal do Pampa
eduardo.yoshimoto@alunos.unipampa.edu.br
Juner M. Vieira
Acadêmico do curso de Engenharia de Telecomunicações, Universidade Federal do Pampa
juner.vieira@alunos.unipampa.edu.br
Dr. Sidinei Ghissoni
Professor do curso de Engenharia Elétrica, Universidade Federal do Pampa
sidinei.ghissoni@unipampa.edu.br

Resumo. *Neste artigo é apresentada uma aplicação da técnica de multiplicação de variáveis por múltiplas constantes, do inglês Constant Matrix Multiplications (CMM), através do compartilhamento de coeficientes parciais aplicados em uma arquitetura da transformada discreta do cosseno, Discrete Cosine Transform (DCT). O uso de CMM permite a substituição das operações de multiplicação por operações de adição, subtração e de deslocamento, causando a redução da área e de dissipação de potência. Neste projeto, foi implementada uma arquitetura DCT-II 8x8 com 16 bits de largura através de CMM e comparada com uma arquitetura que utiliza apenas multiplicadores da própria ferramenta de síntese. A síntese lógica foi realizada com a ferramenta Encounter RTL Compiler do ambiente CADENCE na tecnologia XFAB 180nm onde foi obtida uma redução de 13% e 8% na área e dissipação de potência, respectivamente.*

Palavras-chave: *DCT. CMM. Compartilhamento.*

1. INTRODUÇÃO

A Transformada Discreta do Cosseno, proposta por Ahmed et al. (1974), atualmente, é muito usada de forma diversificada em processamento digital de sinais (DSP) e compressão de dados. Por concentrar a energia do sinal mais próximo dos coeficientes de baixa frequência, a DCT é empregada como elemento central de compressão de imagem digital e padrões de vídeo, como JPEG e H.264/MPEG-4.

O principal entrave da DCT reside na grande intensidade de cálculo que realiza sobre o conjunto de dados de entrada. As operações de multiplicação são responsáveis por ocupar a maior parte da área do chip, dessa forma, é crucial a otimização do sistema de operações de multiplicação para o desenvolvimento de implementações de baixo consumo de energia e de menor área.

2. A TRANSFORMADA DISCRETA DO COSSENO

Para uma determinada sequência de entrada de valores reais X_k, sendo k = 0, 1, 2,..., N-1; a DCT, segundo Feig et al. (1992), é definida da seguinte forma:

$$G_n = u_n \sum_{k=0}^{N-1} X_k . \cos \pi \frac{(2k+1)n}{2N} \qquad (1)$$

Com $0 \leq n \leq N-1$, onde $u_n = 1/\sqrt{N}$, para n=0; e $\sqrt{(2/N)}$, para os demais valores de n.

2.1 Aplicação da DCT

Em padrões de compressão de dados, como o JPEG, a versão bidimensional da DCT é empregada combinada com algoritmos de entropia (que lida com as entradas de quase zeros de uma forma eficiente), a fim de alcançar uma versão compacta dos dados de entrada, preservando suas características.

$$\begin{bmatrix} G_0 \\ G_1 \\ G_2 \\ G_3 \\ G_4 \\ G_5 \\ G_6 \\ G_7 \end{bmatrix} = \begin{bmatrix} C_4 & C_4 & C_4 & C_4 & C_4 & C_4 & C_4 & C_4 \\ C_1 & C_3 & C_5 & C_7 & -C_7 & -C_5 & -C_3 & -C_1 \\ C_2 & C_6 & -C_6 & -C_2 & -C_2 & -C_6 & C_6 & C_2 \\ C_3 & -C_7 & -C_1 & -C_5 & C_5 & C_1 & C_7 & C_3 \\ C_4 & -C_4 & -C_4 & C_4 & C_4 & -C_4 & -C_4 & C_4 \\ C_5 & -C_1 & C_7 & C_3 & -C_3 & -C_7 & C_1 & -C_5 \\ C_6 & -C_2 & C_2 & -C_6 & -C_6 & C_2 & -C_2 & C_6 \\ C_7 & -C_5 & C_3 & -C_1 & C_1 & -C_3 & C_5 & -C_7 \end{bmatrix} \begin{bmatrix} X_0 \\ X_1 \\ X_2 \\ X_3 \\ X_4 \\ X_5 \\ X_6 \\ X_7 \end{bmatrix}; C_n = \frac{1}{2}\cos\frac{n}{16}\pi \quad (2)$$

Baseado no método de decomposição apresentado por Chen et al. (1997), é possível expressar a Eq. (2) como produto separado de duas matrizes-vetor, em que os novos vetores X_{k1} e X_{k2} são combinação linear do vetor de entrada. A equação resultante do sistema é mostrada na Eq. (3).

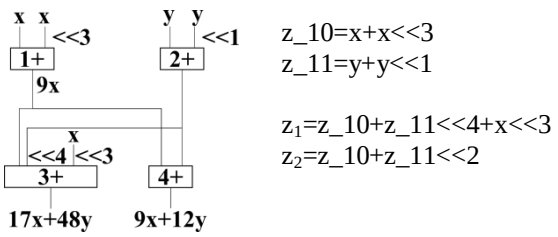
$$\begin{bmatrix} G_0 \\ G_2 \\ G_4 \\ G_6 \end{bmatrix} = \begin{bmatrix} C_4 & C_4 & C_4 & C_4 \\ C_2 & C_6 & -C_6 & -C_2 \\ C_4 & -C_4 & -C_4 & C_4 \\ C_6 & -C_2 & C_2 & -C_6 \end{bmatrix} \begin{bmatrix} X_0+X_7 \\ X_1+X_6 \\ X_2+X_5 \\ X_3+X_4 \end{bmatrix}; \begin{bmatrix} G_1 \\ G_3 \\ G_5 \\ G_7 \end{bmatrix} = \begin{bmatrix} C_1 & C_3 & C_5 & C_7 \\ C_3 & C_7 & -C_1 & -C_5 \\ C_5 & -C_1 & -C_7 & C_3 \\ C_7 & -C_5 & C_3 & -C_1 \end{bmatrix} \begin{bmatrix} X_0+X_7 \\ X_1+X_6 \\ X_2+X_5 \\ X_3+X_4 \end{bmatrix} \quad (3)$$

2.2 Método CMM

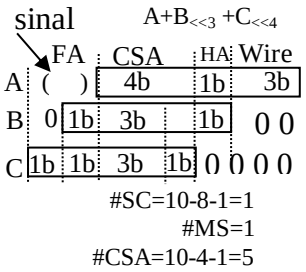
A Multiplicação de Constantes Múltiplas (CMM) é a multiplicação de variáveis por múltiplas constantes. A Fig.1(a) representa uma matriz e a sua transformação linear usando o compartilhamento de subexpressões. Recentemente, foi proposto a implementação de CMM através da determinação do custo de cada operação em termos de meio somadores (MS), somadores completos (SC) e lógica de portas para filtros FIR (AKSOY et al., 2008). Em nosso trabalho propomos a aplicação da métrica ao nível de porta para arquiteturas DCTs através do somador CSA (GHISSONI, 2012). Onde a adição é realizada para três entradas simultaneamente, como pode ser observado na Fig. 1(b).

$$\begin{bmatrix} 17 & 48 \\ 9 & 12 \end{bmatrix} \begin{bmatrix} x \\ y \end{bmatrix} = \begin{bmatrix} z_1 \\ z_2 \end{bmatrix}; \text{onde} \begin{cases} z_1 = 17x+48y \\ z_2 = 9x+12y \end{cases}$$

(a)



(b)



(c)

Figura1. CMM e exemplo da métrica de nível de porta:
a) Representação da transformação linear;
b) compartilhamento de subexpressões;
c) custo computacional de $A+B_{<<3}+C_{<<4}$.

A Fig. 1(c) apresenta um exemplo computacional do custo de implementação ao nível de porta para expressões para números com sinal.

2.3 Arquitetura implementada

A Fig. 2 apresenta uma combinação que implementa o algoritmo descrito pela DCT definida pela Eq. (2) utilizando a abordagem CMM. As constantes foram representadas com largura de 16 bits e em complemento de 2.

O produto de duas matrizes-vetor (bloco M1 e M2) são processadas paralelamente, caso seus respectivos vetores de entrada sejam fornecidos independentemente pela etapa precedente.

O método CMM foi aplicado nos blocos M1 e M2. O bloco de ordenamento é

responsável apenas em inverter a ordem de saída para a ordem natural.

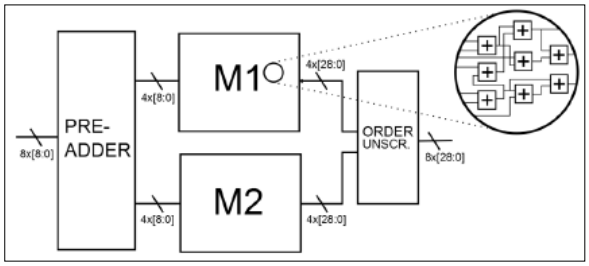


Figura 2. Arquitetura proposta.

3. RESULTADOS

A Tabela 1 apresenta os resultados principais obtidos com arquitetura DCT de 8 pontos de 16 bits de largura descrita em linguagem de hardware VHDL. A síntese lógica foi realizada com a ferramenta Encounter RTL do Ambiente da CADENCE utilizando a tecnologia da XFAB de 180nm. A dissipação de potência foi determinada pela aplicação na entrada de 10.000 vetores aleatórios. A máxima frequência de operação obtida foi de 171 MHz.

Tabela 1. Arquitetura DCT-1D de 8pontos.

Circuitos	Área (nm^2)	Potência (µW)
DCT 1-D 8 pontos - CMM	4301	72,12
DCT 1-D Multiplicadores	4997	78,73

Pela Tabela 1 pode ser observado que a arquitetura implementada com CMM tem obtido uma redução de 13% e 8% em área e potência, respectivamente, quando comparada diretamente com a arquitetura usando multiplicadores. Os melhores resultados apresentados pela nossa solução ocorrem essencialmente pela substituição dos multiplicadores por somadores e subtratores. A arquitetura com CMM necessita menor complexidade dos circuitos e apresentam menor número de portas lógicas para implementação.

4. CONCLUSÃO

Neste trabalho foi aplicado o método CMM, para decomposição do produto matriz-vetor de uma DCT unidirecional com o objetivo de redução de área e dissipação de potência quando implementada em hardware. Os resultados provaram a eficiência do método, pois permitiu a redução da complexidade das novas operações. Esta redução ocorre principalmente pela substituição das operações de multiplicação por operações de soma, subtrações e deslocamentos. Futuramente pretendemos usar o método CMM para implementar uma arquitetura DCT bidimensional.

Agradecimentos

Agradecemos ao BRAZIL-IP/CNPQ pelo fomento a bolsa de pesquisa.

5. REFERÊNCIAS

AHMED, N.; NATARAJAN, T.; RAO, K. R. **Discrete Cosine Transform, Computers**, IEEE Transactions on, vol. C-23. no.1, pp.90-93, Jan.1974.

ASKOY, L.; DA COSTA, E.; FLORES, P.; MONTEIRO, J.; **Exact and Approximate Algorithms for the Optmization of Area and Delay in Multiple Constant Multiplications**, Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on,vol.27, no.6, pp.1013-1026 June 2008.

W.-H. CHEN, C. H. SMITH, AND S. FRALICK, **A Fast Computational Algorithm for the Discrete Cosine Transform**, IEEE Trans. on Communications 25, pp. 1004–1009, Sep 1977.

FEIG, E.; WINOGRAD, S.; **Fast algorithms for the discrete cosine transform**, Signal Processing, IEEE

Transactions on , vol.40, no.9, pp.2174-2193, Sep 1992.

GHISSONI, S. **Decomposição de Coeficientes Trigonométricos para a Redução de Área e Potência em Arquiteturas FFT Híbridas na Base 2.**Tese (Programa de pós-graduação em Microeletrônica) – Instituto de Informática, Universidade Federal do Rio Grande do Sul, Porto Alegre - RS, 2012. 101 p.