

DIMENSIONAMENTO AUTOMÁTICO DE AMPLIFICADORES OPERACIONAIS COM NANODISPOSITIVOS

Luiz Antônio da Silva Junior, Luiz Roberto Pavanato

Acadêmicos do curso de Engenharia Elétrica da Universidade Federal do Pampa
luizjunior@alunos.unipampa.edu.br, eng.betopava@gmail.com

Alessandro Girardi

Professor do curso de Engenharia Elétrica da Universidade Federal do Pampa
alessandro.girardi@unipampa.edu.br

Resumo. *O objetivo deste artigo é realizar o projeto de amplificadores operacionais utilizando transistores em escala nanométrica baseando-se na metodologia gm/I_D . A vantagem é o fato de esta metodologia explorar todas as regiões de operação do transistor e não fazer o uso de equações complexas. O fluxo de projeto é feito de forma sistemática e baseia-se em simulação elétrica. Para a validação da metodologia, foi projetado um amplificador diferencial para as tecnologias Planar, CNTFET e FinFET em 32nm, utilizando uma ferramenta computacional para auxiliar no projeto.*

Palavras-chave: *Nanodispositivos, Metodologia gm/I_D , Projeto de Circuito Analógico.*

1. INTRODUÇÃO

Há uma necessidade de pesquisa por componentes elétricos que se tornem cada vez mais rápidos e que ocupem menos espaço, para isso acontecer é preciso projetar transistores com uma maior capacidade de corrente e de tamanho reduzido. A tecnologia Planar, dominante no mercado, está chegando próximo de suas limitações físicas. Dois possíveis sucessores são os transistores *fin* de efeito de campo (*FinFETs*) e os transistores de nanotubos de carbono (*CNTFETs*), que vem demonstrando características elétricas semelhantes as do MOSFETs.

As metodologias de projeto de circuitos analógicos tradicionais são basicamente manuais e contam com a experiência do projetista, que utiliza equações simplificadas

do modelo elétrico do dispositivo para projetar as dimensões de comprimento de canal (L) e largura de canal (W) dos transistores. No entanto, as metodologias de projeto analógico convencionais não são adequadas para as novas tecnologias, visto que estas não possuem equações simplificadas de modelo elétrico.

Nesse ínterim, o presente trabalho possui o objetivo de propor uma metodologia de projeto analógico para amplificadores operacionais compostos de nanodispositivos. A metodologia consiste em um roteiro sistemático sem o uso de equações do modelo elétrico. Para realizar o projeto, a lógica da metodologia foi implementada no software Matlab® visando à automatização do fluxo.

A sessão 2 aborda sobre os nanodispositivos. Na sessão 3 é explicada a metodologia proposta. A sessão 4 contém um exemplo de projeto e por fim são apresentadas as conclusões e as referências.

2. NANODISPOSITIVOS

Na tecnologia planar, o projetista tem como variáveis livres de projeto o W e o L , como mostrados na Fig. 1(a).

Os transistores de nanotubos de Carbono são originários do termo inglês *Carbon Nanotube Field Effect Transistors (CNTFET)*. Um *CNTFET* possui a mesma forma construtiva de um transistor planar, sendo que no *CNTFET* a região do canal do transistor planar é substituída por um nanotubo de carbono, conforme apresenta a Fig. 1(b). Esta inserção de nanotubos de carbono resulta no transporte balístico dos portadores de carga entre o dreno e fonte,

resultando em uma capacidade de corrente muito maior (DENG et al., 2007). O projetista tem como variável livre de projeto o L , porém a largura do canal é dada pelo número de nanotubos de carbono associados em paralelo.

O *FinFET* apresenta canais de condução verticais diferentemente do transistor planar. Deste modo, o *FinFET* é fabricado sobre uma ilha de silício alta e estreita, chamada de *fin*. Este transistor pode ser considerado como um dispositivo de porta dupla, já que a altura do *fin* é superior a sua largura. Os *FinFETs* de porta dupla apresentam maior transcondutância quando comparado com o transistor planar. Figura 1(c) ilustra a estrutura do *FinFET* (DORIA, T.R, 2010). No projeto de circuitos analógicos com *FinFETs*, o projetista tem a liberdade de variar a dimensão L do transistor. A largura W é dada pelo tamanho do *fin*, para aumentar o tamanho de W , associam-se fins em paralelo.

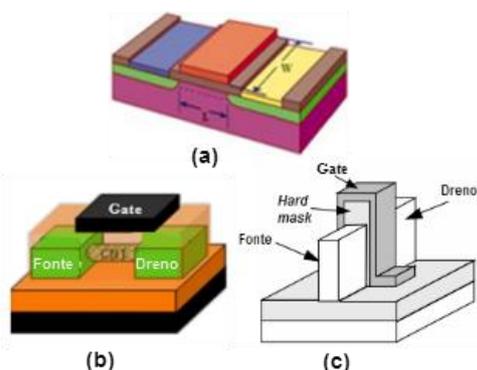


Figura 1. Tecnologia planar(a), CNTFET(b) e FinFET(c)

3. METODOLOGIA PROPOSTA

A metodologia proposta neste trabalho, baseia-se na metodologia gm/I_D , onde leva-se em consideração a relação entre transcondutância gm sobre a corrente DC de dreno I_D e a corrente de dreno normalizada $I_N = I_D/(W/L)$ (SILVEIRA, F., 1996).

A metodologia pode ser melhor compreendida através do fluxograma da Fig. 3. A Fig. 2(a) representa curva $gm/I_D \times I_N$, gm/I_D pode ser obtido através da Eq. (2):

$$\frac{gm}{I_D} = \frac{\partial(\ln(I_D))}{\partial V_{GS}} \quad (2)$$

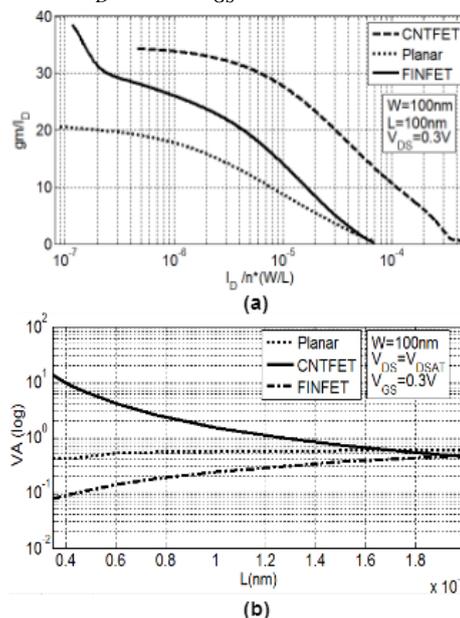


Figura 2. Curva $gm/I_D \times I_N$ (a), $VA \times L$ (b)

A fim de projetar também o comprimento de canal do transistor foi levada em consideração a tensão de Early (VA), que é um parâmetro que depende diretamente da dimensão L do transistor, como pode ser visto na Fig. 2(b) e representa a razão entre a corrente DC de dreno e a condutância de saída (DEL VALLE et al, 2010).

O projeto se inicia com a escolha das especificações do circuito relacionadas diretamente com a relação gm/I_D e tensão de Early, colocando-as em função das mesmas. O próximo passo é estimar a corrente de polarização do circuito. A seguir estima-se o ponto de polarização inicial do circuito, ou seja, as tensões V_{GS} e V_{DS} que irão polarizar os transistores. Com os valores iniciais de V_{GS} e V_{DS} , a etapa a seguir é obter a curva $VA \times L$ para cada dispositivo, para então poder escolher os valores de VA e o L correspondente.

Já com os valores de gm/I_D definidos, é possível buscar na curva $gm/I_D \times I_N$ o valor da corrente normalizada. O próximo passo é calcular o W de cada transistor e simular o circuito para verificar as especificações e parâmetros obtidos.

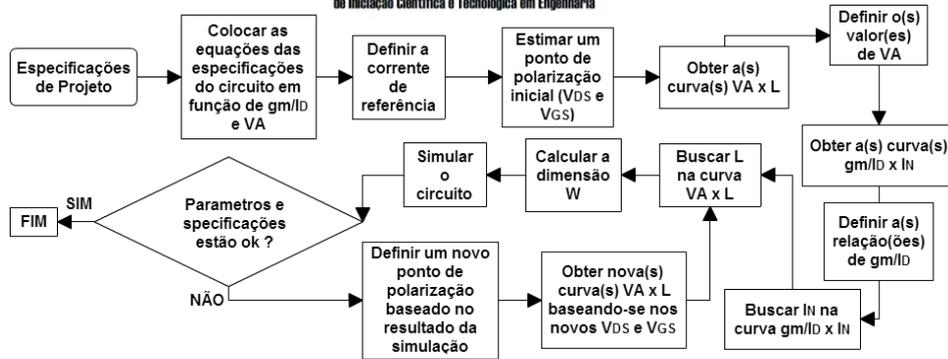


Figura 3. Fluxograma do Projeto

Caso não estejam de acordo, então devem ser estimados novos pontos de polarização baseados nos resultados desta simulação. Logo, será possível encontrar uma nova curva $VA \times L$ com os novos V_{GS} e V_{DS} da simulação. Então, novamente calcula-se o W dos transistores e simula-se o circuito. Os processos de, definir novo ponto de polarização, obter novas curvas, dimensionar o W e L dos transistores, simulação e verificação, devem ser repetidos até chegar às especificações e parâmetros desejados.

4. PROJETO DE UM AMPLIFICADOR DIFERENCIAL

Como exemplo de projeto, a metodologia proposta foi aplicada ao projeto de um amplificador diferencial com as tecnologias planar, *FinFET* e *CNTFET* em 32nm. O esquemático elétrico de um amplificador diferencial está ilustrado pela Fig. 4. Este amplificador é composto de um par diferencial ($M1$ e $M2$), um espelho de corrente representando uma carga ativa ($M3$ e $M4$), e uma fonte de corrente de polarização (I_{ref}). Como restrições, $M1=M2$ e $M3=M4$.

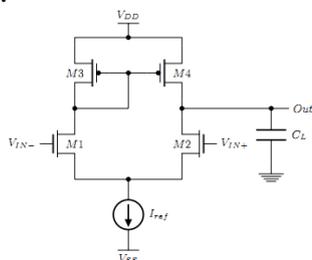


Figura 4. Esquemático do amplificador diferencial

As especificações de projeto são as seguintes: *slew-rate* mínimo ($SR=10V/\mu s$),

máxima dissipação de potência ($P_{max}=500\mu W$), ganho de tensão mínimo ($A_{vo}=30dB$) e frequência de corte mínima ($f_{3dB}=100kHz$). Algumas restrições para o projeto: capacitância de carga (C_L) igual a 10pF, $V_{DD}=0,45$ e $V_{SS}=-0,45$.

A automatização da metodologia consistiu na implementação das etapas do fluxograma da Fig. 3 em um *software* matemático. Foi utilizado o *software* Matlab® junto com o simulador elétrico HSPICE®. A função inicial recebe as especificações do projeto e calcula os parâmetros de VA e corrente de polarização através das Eq. (3) e (4).

$$A_{vo} = \left(\frac{gm}{I_D} \right) 1 \times \frac{VA_2 VA_4}{VA_2 + VA_4} \quad (3)$$

$$f_{-3dB} = \frac{I_{D1} (VA_2 + VA_4)}{2\pi C_L VA_2 VA_4} \quad (4)$$

A função também define a corrente de polarização do circuito através das especificações de potência máxima dissipada e *slew-rate*, conforme pode ser observado pelas Eq. (5) e (6), respectivamente.

$$I_{ref\ max} = \frac{P_{max}}{V_{DD} - V_{SS}} \quad (5)$$

$$I_{ref\ min} = SR \times C_L \quad (6)$$

Para simplificar o cálculo, considerou-se $VA_2=VA_4$ e o parâmetro de $(gm/I_D)_1$ foi considerado o maior valor possível para cada tecnologia. Através das Eq. (5) e (6) define-se que a corrente de referência I_{ref} do circuito, simplificada, é $I_{ref}=I_{refmin}$ e a corrente I_{D1} será a metade de I_{ref} .

O ponto de polarização inicial foi estimado em $V_{DS}=V_{GS}=0,3V$. Assim é possível encontrar o valor de I_{N1} que

corresponde ao $(gm/I_D)_1$ e o valor de L que corresponde ao VA nas curvas de $gm/I_D \times I_N$ e $VA \times L$. Para encontrar o valor de I_{N3} , foi considerado um valor qualquer de $(gm/I_D)_3$ que sature $M3$. Após algumas iterações, uma convergência foi obtida para todas as tecnologias. Os tamanhos finais dos transistores para as tecnologias planar, *FinFET* e *CNTFET* estão mostrados na Tabela 1. Os resultados finais das especificações do circuito obtidos após a aplicação da metodologia para as três tecnologias supracitadas estão descritos na Tabela 2.

Analisando os resultados obtidos nas Tabelas 1 e 2, pode-se perceber que os ganhos de tensão para as três tecnologias atenderam a especificação. Porém, o L da tecnologia *FinFET* foi bem maior que as outras tecnologias. A frequência de corte para as tecnologias planar e *FinFET* foi quase a mesma, já a tecnologia *CNTFET* obteve uma frequência de corte um pouco maior. O *slew-rate* para a tecnologia planar foi um pouco maior que as outras tecnologias, porém as três atenderam a especificação. Portanto, para a mesma dissipação de potência há diferentes características elétricas obtidas.

Tabela 1. Largura e comprimento dos transistores ($x=3,012\text{nm}$ e $y=160\text{nm}$)

Tec	Tran	W(m)	L(nm)
Planar	M1,M2	13,14 μ	86,00
	M3,M4	4,42 μ	88,00
<i>FINFET</i>	M1,M2	49*y=7,81 μ	900,0
	M3,M4	14*y=2,24 μ	428,0
<i>CNTFET</i>	M1,M2	689*x=2,07 μ	70,00
	M3,M4	7*x=21,07n	80,00

Tabela 2. Especificações do circuito

Tec	A_{V_o} (dB)	f_{-3dB} (kHz)	SR (V/ μ s)	P_{diss} (μ W)
Planar	30,40	457,08	14,05	90
<i>FinFET</i>	30,68	467,73	9,98	90
<i>CNTFET</i>	30,01	758,57	9,99	90

5. CONCLUSÕES

A metodologia utilizada neste trabalho, com base nas curvas $gm/I_D \times I_N$ e $VA \times L$ mostrou-se útil para os nanodispositivos. As especificações encontradas através da simulação atenderam aos valores desejados. A automatização da ferramenta da metodologia acabou tornando o processo ainda mais fácil, sendo de forma simples e rápida. Para trabalhos futuros pretende-se ampliar a ferramenta para poder ser usada em outros amplificadores.

Agradecimentos

Manifestamos nosso agradecimento à Fapergs, CNPq e CAPES pelo apoio financeiro deste trabalho.

6. REFERÊNCIAS

DENG, J.; et al. A compact SPICE model for carbon nanotube field effect transistors including nonidealities and its application— Part I: Model of the Intrinsic Channel Region, **IEEE Trans. Electron Devices**, vol. 54, n. 12, p. 3186–3194, 2007.

DORIA, T. R **Operação analógica de transistores de múltiplas portas em função da temperatura**. Tese (Programa de Pós Graduação em Engenharia Elétrica) Escola Politécnica, USP, São Paulo – SP, 2010. 198 p.

SILVEIRA, F.; et al. A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **Solid-State Circuits, IEEE Journal of**, v. 31, n. 9, p. 1314-1319, 1996.

DEL VALLE, J. L.; et al. An analytical expression for early voltage factor useful for hand calculations. In: **CCE, 2010 7th International Conference on**. IEEE, 2010. p. 515-518.