

CARACTERÍSTICAS ELÉTRICAS DOS CNTFETS E APLICAÇÃO EM ASSOCIAÇÕES TRAPEZOIDAIS DE TRANSISTORES

Luiz Roberto Pavanato, Luiz Antônio da Silva Junior

Acadêmicos do curso de Engenharia Elétrica da Universidade Federal do Pampa
eng.betopava@gmail.com, luizjunior@alunos.unipampa.edu.br

Alessandro Girardi

Professor do curso de Engenharia Elétrica da Universidade Federal do Pampa
alessandro.girardi@unipampa.edu.br

Resumo. Este artigo tem como objetivo descrever as características elétricas dos CNTFETs (Carbon Nanotube Field-Effect Transistors) e uma breve comparação com a tecnologia planar (CMOS - complementary metal-oxide-semiconductor) que é a mais usada na fabricação de circuitos integrados analógicos (CIs). Será abordado o tema associações trapezoidais de transistores com CNTFETS e tecnologia planar contendo algumas comparações: a condutância de saída e a transcondutância de saída dos dispositivos. Ambas tecnologias em 32nm.

Palavras-chave: CNTFETS, tecnologia planar, TATs

1. INTRODUÇÃO

Para se ter componentes eletrônicos que se tornem cada vez mais rápidos, precisamos projetar transistores com uma maior capacidade de passagem de corrente.

Na atualidade a tecnologia planar é a dominante sobre as demais tecnologias de fabricação. Porém a espessura de dióxido de silício, está tão fina que as moléculas estão bem próximas umas das outras, tornando difícil o processo de produção e causando variabilidade na fabricação.

Então a necessidade de buscar novas alternativas para a substituição da tecnologia é muito importante, um dos possíveis sucessores são os CNTFETs que vem demonstrando uma ótima performance sobre a tecnologia atual.

Este artigo tem por finalidade apresentar as características elétricas básicas dos CNTFETs em 32nm (seção 2), e também

apresentar os resultados das implementações dos mesmos em associações trapezoidais de transistores (TATs), seção 3.

2. TRANSISTORES DE NANOTUBOS DE CARBONO

Os nanotubos de carbono (CNTs) apresentam várias propriedades físicas notáveis, e dependendo da maneira como são dispostos sobre a estrutura podem ser condutores ou semicondutores. Por terem características únicas em escalas nanométricas, vem crescendo de uma maneira imensurável o interesse e as pesquisas deste tipo de material. Quando comparado ao aço, os nanotubos apresentam uma resistência de ruptura 100 vezes maior. (MARULANDA et al., 2010).

Os CNTs são cilindros ocos formados de uma ou mais camadas de grafite enrolados, podem ser visualizados como sólidos unidimensionais como se fosse um tubo sem costura. Sendo assim podem ser chamados de cilindros perfeitos.

A quiralidade do nanotubo, ou seja, a direção na qual o nanotubo de carbono foi enrolada é expressa pela Eq. (1):

$$Ch = (n_1 \times a_1) + (n_2 \times a_2) \quad (1)$$

Onde: Ch , a_1 e a_2 são vetores e n_1 e n_2 são números inteiros. Conforme forem os valores dados para as variáveis (n_1, n_2) elas recebem denominações, se $(n_1 = n_2)$ são chamados nanotubos armchair, para $(n_1, 0)$ denominados zigzag e para $(n_1$ diferente de $n_2)$ são definidos como quirais.

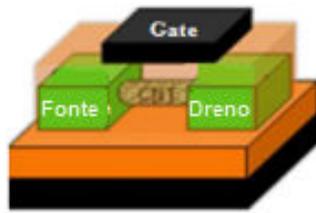


Figura 1. Estrutura de um transistor de nanotubo de carbono

Pesquisas relacionadas aos transistores de nanotubos de carbono vêm demonstrando um ótimo desempenho do dispositivo, por possuir elétrons de alta mobilidade (TEO et al., 2004).

A estrutura de um *CNTFET* é composta por 3 terminais: *Gate*, *Fonte* e *Dreno*. Estes terminais possuem uma nomenclatura semelhante a da tecnologia planar. A diferença está na construção do *CNTFET*, que a região do canal do transistor é substituída por um nanotubo de carbono, como ilustra a Fig. 1.

A tecnologia planar permite ao projetista variar o tamanho da largura do canal dos transistores (W), já os *CNTFETs* possuem uma largura de canal fixa, sendo necessária a associação de vários nanotubos em paralelo para se ter uma maior intensidade de corrente elétrica. Na Fig. 2 é possível observar a diferença para ambos dispositivos. Para o comprimento do canal (L) nenhuma restrição é feita. Este trabalho se detém a nanotubos de carbono do tipo zigzag (estruturas com comportamento semiconductor). O diâmetro de cada nanotubo é expresso pela Eq. (2):

$$D = a \frac{\sqrt{n_1^2 + n_1 \cdot n_2 + n_2^2}}{\pi} \quad (2)$$

Substituindo os valores $n_1=38$, $n_2=0$ $a=2,49 \cdot 10^{-10}$ encontramos o diâmetro do nanotubo de carbono de 3,012nm.

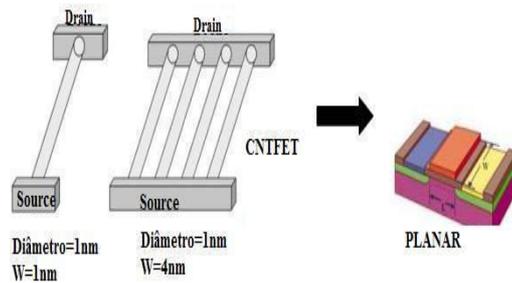


Figura 2. Diferença na variação de W do transistor *CNTFET* e planar

Para analisar o comportamento de ambas as tecnologias foram realizadas algumas simulações elétricas. Utilizando o modelo preditivo (PTM – *predictive Technology Model*) foram simulados no software HSPICE®, e as curvas geradas no software Matlab®. O transistor usado foi do tipo N.

Para gerar as curvas da Fig. 3 e Fig. 4, foi necessário utilizar 100 nanotubos em paralelo, a fim de encontrar um W de aproximadamente 300nm. Para a tecnologia planar o W é uma variável livre e pode ser definida pelo projetista, então esta foi fixada em 300nm. O comprimento do canal (L) em ambas as tecnologias foi fixada em 32nm.

Para reproduzir a curva da Fig. 3 foi necessário variar a tensão de *dreno*, mantendo constante a tensão de *gate*. Conforme a Fig. 3, pode-se perceber que a tecnologia *CNTFET* tem um melhor desempenho da tecnologia planar, sua corrente chegou cerca de 10,4 vezes maior.

Para reproduzir a curva da Fig. 4 foram usados os mesmos parâmetros da curva anterior, porém agora foi mantida constante a tensão de *dreno* e variando os valores da tensão de *gate*. Foi possível observar que a tensão de *threshold* (onde o dispositivo começa a conduzir) no *CNTFET* é cerca de 0,15V e já na tecnologia planar fica em torno de 0,2V, tudo isso devido a diferença na dopagem do substrato. Também analisando o gráfico é possível notar a diferença na corrente máxima, que para a tecnologia planar é de cerca de 10 vezes menor que para o *CNTFET*.

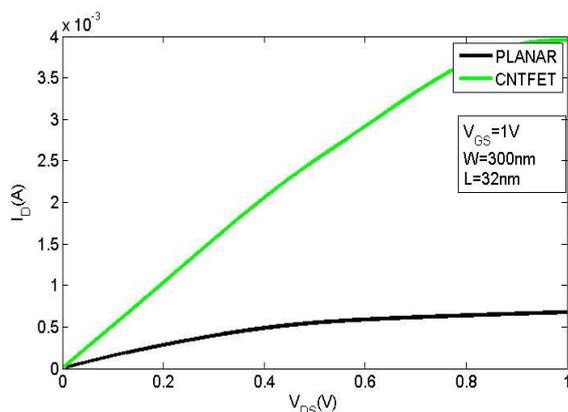


Figura 3. curva $I_D \times V_{DS}$

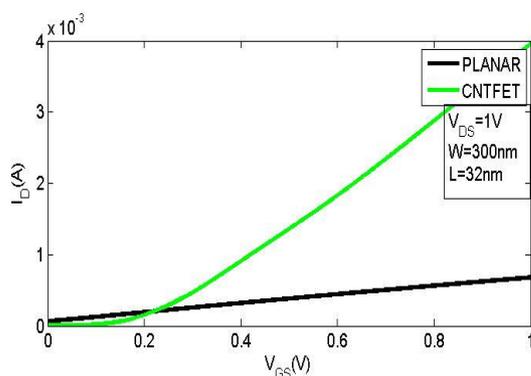


Figura 4. curva $I_D \times V_{GS}$

3. ASSOCIAÇÃO TRAPEZOIDAL DE TRANSISTORES

Uma associação trapezoidal de transistores (*TATs* – do inglês, *trapezoidal association transistors*), proposta por Galup Montoro, (1994), consiste em 2 transistores, sendo que o transistor conectado ao *dreno* (*MD*) possui largura do canal (*W*) maior que o transistor conectado ao terminal da *fonte* (*MS*). O comprimento do canal (*L*) pode ser o mesmo para ambos. Os *gates* de *MD* e *MS* são conectados entre si, formando assim um dispositivo com as mesmas características de um único transistor comum (GIRARDI et al., 2007). A Fig. 5 mostra uma associação trapezoidal de transistores.

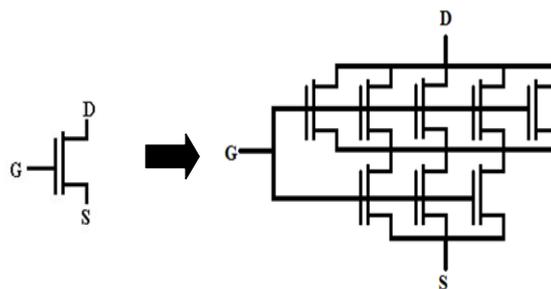


Figura 6. Associação trapezoidal de transistores

Mantendo o transistor do terminal do *dreno* maior que o do terminal de *source*, consequentemente adquirimos uma diminuição da condutância de saída (*g_{ds}*) comparada a um transistor retangular simples equivalente. Para se obter o formato trapezoidal desta associação temos sempre que garantir que *ND* (número de transistores em paralelo conectado ao *dreno*) seja maior que *NS* (número de transistores em paralelo conectado a *fonte*).

Pode-se fazer uma reprodução do comportamento em nível de corrente de transistores simples bem maiores que dos transistores unitários com as associações trapezoidais. Isso se torna muito importante para poder aproveitar o máximo desempenho dos transistores nos circuitos integrados analógicos.

A grande dificuldade para o projetista é a escolha correta das dimensões *W* e *L* dos transistores unitários e também do número correto de *ND* e *NS*. De um modo geral quanto mais trapezoidal for a associação mais baixa será a condutância de saída.

A fim de se obter uma comparação coerente foram realizadas simulações elétricas das *TATs*, foram utilizados comprimento do canal fixo em 32nm para ambas tecnologias. Já a largura do canal de todos os transistores planares foi de 300nm e para a tecnologia *CNTFET* 100 nanotubos de carbono equivalentes a 300nm.

Seguindo o mesmo método da Seção 2 foram realizadas simulações com as associações trapezoidais de transistores com quatro transistores conectados ao *dreno*

($ND=4$) e dois transistores conectados a fonte ($NS=2$).

Analisando as Fig. 7 e Fig. 8 fica evidente que a tecnologia *CNTFET* foi melhor que a tecnologia planar, cerca de 3 vezes para a condutância de saída e 6 vezes para a transcondutância de saída.

As simulações elétricas só confirmam que através das associações trapezoidais com *CNTFETs* é possível alcançar uma maior corrente de dreno, melhorando o desempenho dos *CIs*.

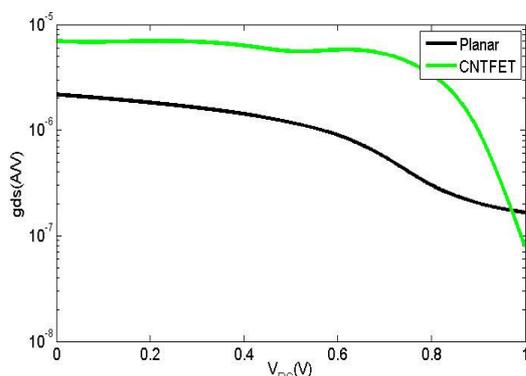


Figura 7. curva $g_{ds} \times V_{DS}$

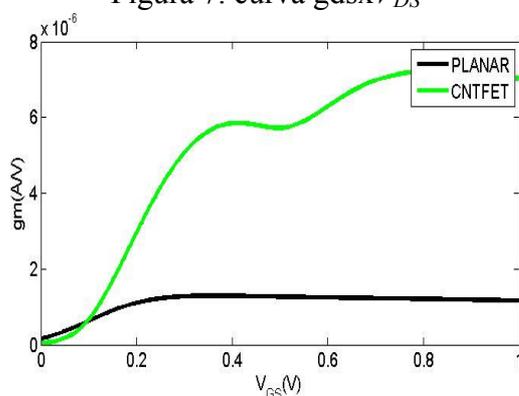


Figura 8. curva $g_m \times V_{GS}$

CONSIDERAÇÕES FINAIS

A implementação de *TATs* com *CNTFETs* permite a realização de circuitos integrados com nanotubos de carbono com características elétricas similares ou mesmo superiores às dos circuitos com a tecnologia CMOS.

Apesar da tecnologia *CNTFET* ainda não ser viável comercialmente, devido à ainda incipiente metodologia de fabricação, esta técnica possui um potencial muito grande,

pois permite emular o comportamento de um transistor qualquer através de associações de transistores unitários de tamanho fixo. Isto pode ser aplicado a uma matriz de nanotubos pré-difundida, permitindo a implementação de blocos analógicos com desempenho elevado.

Para trabalhos futuros pretende-se desenvolver uma ferramenta de projeto automática capaz de encontrar uma associação trapezoidal de transistores que possua as características elétricas semelhantes às de um transistor unitário.

Agradecimentos

Manifestamos nosso agradecimento a Fapergs e CNPq pelo apoio financeiro deste trabalho.

REFERÊNCIAS

MARULANDA, Jose Mauricio (Ed.). Carbon nanotubes. *InTech*, 2010.

TEO, K. B. K. et al. Carbon nanotube technology for solid state and vacuum electronics. In: *Circuits, Devices and Systems, IEE Proceedings- IET*, 2004. p. 443-451.

GALUP-MONTORO, Carlos; SCHNEIDER, Márcio C.; LOSS, Itamar JB. Series-parallel association of FET's for high gain and high frequency applications. *Solid-State Circuits, IEEE Journal of*, v. 29, n. 9, p. 1094-1101, 1994.

GIRARDI, A. et al., **Automação do Projeto de módulos CMOS Analógicos Usando Associações Trapezoidais de Transistores**, Tese (Doutorado em Engenharia Elétrica) – Universidade Federal do Rio Grande do Sul, Porto Alegre-RS, 2007, 166p.